

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-131492

(43)Date of publication of application : 19.05.1995

(51)Int.Cl. H04L 25/52
H04L 7/00

(21)Application number : 05- 275082 (71)Applicant : MEIDENSHA CORP

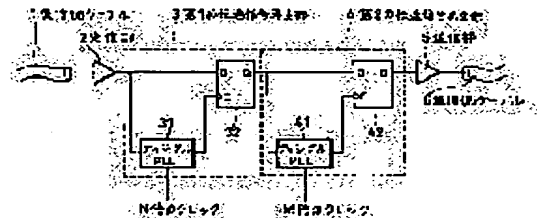
(22)Date of filing : 04.11.1993 (72)Inventor : KATSUMATA
NORIAKI

(54) MULTISTAGE REPEATING SYSTEM

(57)Abstract:

PURPOSE: To facilitate multistage repeating by enabling regenerative repeating which is excellent in follow-up performance an little in jittering by the multistage repeating system using a regenerative repeating system which regenerates a transmitted signal from a received signal and repeats it by using a digital PLL.

CONSTITUTION: The regenerative repeating system has a 1st sent signal regeneration part 3 and a 2nd sent signal regeneration part 4 cascaded between a reception part 2 and a transmission part 5 to double the digital PLL. In this case, the follow-up performance is larger and larger as an N-fold clock and an M-fold clock that the digital PLLs 31 and 41 use are smaller and smaller, and the jitters are smaller and smaller as the M and N are larger and larger. For the purpose, the values of the M and N are selected in relation $N < M$ and when a sent signal is regenerated by extracting a received clock from a signal received at a reception part 2, the follow-up performance and the jitters of the extracted clock are made separately controllable to obtain wide follow-up characteristic and reduce the jitters of the transmission



output.

LEGAL STATUS

[Date of request for examination] 02.03.1999

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision
of rejection or application
converted registration]

[Date of final disposal for
application]

[Patent number] 3284702

[Date of registration] 08.03.2002

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-131492

(43) 公開日 平成7年(1995)5月19日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 25/52	A	9199-5K		
7/00	A	7741-5K		

審査請求 未請求 請求項の数1 OL (全 6 頁)

(21) 出願番号 特願平5-275082

(22) 出願日 平成5年(1993)11月4日

(71) 出願人 000006105

株式会社明電舎

東京都品川区大崎2丁目1番17号

(72) 発明者 勝俣 憲明

東京都品川区大崎2丁目1番17号 株式会社明電舎内

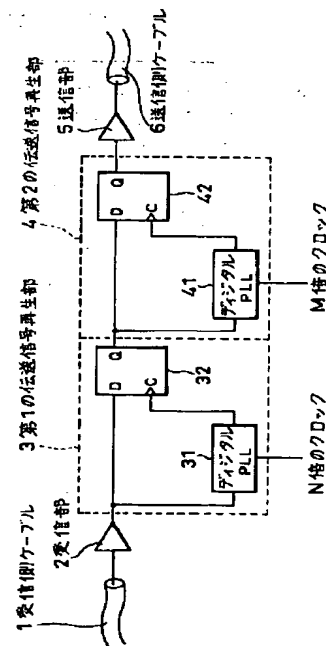
(74) 代理人 弁理士 志賀 富士弥 (外1名)

(54) 【発明の名称】 多段中継方式

(57) 【要約】

【目的】 受信した信号からデジタルPLLを用いて伝送信号を再生し中継する再生中継系を使用する多段中継方式において、追従性が良く、ジッタが少ない再生中継を可能として多段中継を容易にする。

【構成】 再生中継系において、受信部2と送信部5の間に第1の伝送信号再生部3と第2の伝送信号再生部4を縦属に接続して、デジタルPLLを2重にかける。この場合、各デジタルPLL 31、41で用いるN倍のクロックとM倍のクロックのM、Nが小さいほど追従性が大きく、M、Nが大きいくほどジッタが少なくなる。そこで、 $N < M$ の関係でM、Nの値を選択することで、受信部2で受信した信号から受信クロックを抽出し伝送信号を再生する際に、追従性と抽出クロックのジッタを別々に制御可能として、広い追従性と送信出力の低ジッタ化を可能とする。



【特許請求の範囲】

【請求項1】 伝送信号の受信部と、該受信部の出力側に接続され該伝送信号の送り出しに用いるクロックのN倍のクロック動作を用いたデジタルフェーズロックドループにより該伝送信号の再生を行う第1の信号再生手段と、該第1の信号再生手段に接続されN<Mとして該伝送信号の送り出しに用いるクロックのM倍のクロック動作を用いたデジタルフェーズロックドループにより該伝送信号の再生を行う第2の信号再生手段と、該第2の信号再生手段で再生された伝送信号を送信する送信部と、を有する再生中継系を用いることを特徴とする多段中継方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、伝送装置における伝送信号の多段中継方式に関するものである。

【0002】

【従来の技術】伝送装置においては、信号を遠距離に伝送する場合、図8に示すような再生中継系を用いて多段中継を行っている。

【0003】図8の従来例において、1は受信側ケーブル、2は伝送信号の受信部、3は伝送信号再生部、5は送信部、6は送信側ケーブルである。ここで、伝送信号再生部3は、伝送信号の送り出しで用いるクロックのN倍の周波数のクロック（以下、N倍のクロックと記す）を用いたデジタルPLL（フェーズロックドループ）31と、Dタイプフリップフロップ（以下、D-FFと記す）とで構成されている。

【0004】上記再生中継系において、受信部2で受信された伝送信号は、D-FF32のD（データ）端子に入力される一方、デジタルPLL31にも入力されて受信クロックが抽出される。受信クロックはD-FF32のクロック端子（C）に入力されてD端子の入力を保持し、再生された伝送信号がD-FF32の出力端子（Q）から得られる。再生された伝送信号は、送信部5から送信側ケーブル6へ送り出される。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の技術による多段中継方式では、再生中継系における追従性とジッタ（パルスの時間的位置の変動）が一義的にしか決められないという問題点があった。すなわち、デジタルPLLで多段中継を行なう場合、送り出しクロックはデジタルPLLにより受信クロックとして抽出されるが、デジタルPLLの場合、N倍のクロックを $1/(N+1) \sim 1/N \sim 1/(N-1)$ 等分周比を変える事で同期させる為、抽出された受信クロックには、図9に示すようにすでに分周比を変える事によるジッタが含まれている。このようなジッタを含んだ送信信号が伝送路でさらにひずんだ場合、次の再生中継系のデジタルPLLが十分同期しない可能性を有する。上記に

において、Nを大きくすればジッタは少なくなるが、デジタルPLLの追従性は逆に小さくなってしまふ。

【0006】本発明は、上記問題点を解決するためになされたものであり、その目的は、受信した信号からデジタルPLLを用いて伝送信号を再生し中継する再生中継系を使用して多段中継を行う多段中継方式において、追従性が良くジッタが少ない再生中継を可能として多段中継を容易にすることにある。

【0007】

10 【課題を解決するための手段】上記の目的を達成するため、本発明の多段中継方式においては、伝送信号の受信部と、該受信部の出力側に接続され該伝送信号の送り出しに用いるクロックのN倍のクロック動作を用いたデジタルフェーズロックドループにより該伝送信号の再生を行う第1の信号再生手段と、該第1の信号再生手段に接続されN<Mとして該伝送信号の送り出しに用いるクロックのM倍のクロック動作を用いたデジタルフェーズロックドループにより該伝送信号の再生を行う第2の信号再生手段と、該第2の信号再生手段で再生された伝送信号を送信する送信部と、を有する再生中継系を用いることを特徴としている。

【0008】

20 【作用】本発明の多段中継方式では、再生中継系において、受信部と送信部の間に第1、第2の信号再生手段を縦属に接続してデジタルPLLを2重にかける。この場合、各デジタルPLLで用いるN倍のクロック動作とM倍のクロック動作におけるM、Nが小さいほど追従性が大きく、M、Nが大きいほどジッタが少なくなる。そこで、N<MとしてM、Nの値を選択することで、追従性とジッタを別々に制御可能とし、広い追従性と送信出力の低ジッタ化を可能とする。

【0009】

【実施例】以下、本発明の実施例を、図面を参照して詳細に説明する。

【0010】図1は本発明の一実施例の基本構成を示すブロック図である。図において、1は受信側ケーブル、2は伝送信号の受信部、3は第1の伝送信号再生部、4は第2の伝送信号再生部、5は送信部、6は送信側ケーブルである。ここで、第1の伝送信号再生部3は、伝送信号の送り出しで用いるクロックのN倍の周波数のクロック（以下、N倍のクロックと記す）を用いたデジタルPLL（フェーズロックドループ）31と、D-FF（Dタイプフリップフロップ）32とで構成され、第2の伝送信号再生部4は送り出しクロックのM倍の周波数のクロック（以下、M倍のクロックと記す）を用いたデジタルPLL41とD-FF42とで構成されている。

【0011】上記において、受信部2は受信側ケーブル1から伝送信号を受信し、デジタルPLL31とD-FF32のD（データ）端子に送出する。デジタルP

LL31は入力された受信信号から受信クロックを抽出してD-FF32のC(クロック)端子に送出する。D-FF32は抽出された受信クロックで伝送信号を保持し、信号再生を行う。再生された伝送信号は、D-FF32のQ(出力)端子で得られ、第2の信号再生部4のPLL41とD-FF42のD端子に送出される。以下、同様にしてD-FF42で信号再生が行われ、再生された伝送信号がD-FF42のQ端子に出力される。この出力は送信部5を介して送信側ケーブル6へ送り出される。

【0012】本実施例では、受信部2と送信部5の間に2つの信号再生部3、4を縦属に接続してデジタルPLLを2重にかけて伝送信号の再生を行う。このとき、各デジタルPLLで用いるクロックの倍数M、Nを $N < M$ とする。この場合、デジタルPLLの追従性はM、Nが小さいほど大きく、M、Nが大きいほど抽出クロックのジッタは少ない。よって、この場合広い追従性と出力の低ジッタ化がM、Nの値を選択することで可能となる。

【0013】次に、上記伝送信号再生部3、4の具体的な構成例を示す。図2はその全体構成を示す回路図である。図において、31、41は第1、第2の伝送信号再生部それぞれのデジタルPLL、32、42は同じくそれぞれの信号保持用のD-FFであり、図1に示した同符号の構成要素に対応するものである。ただし、本構成例では、デジタルPLL31、41に分周機能を持たせることにより、回路内部においてN倍およびM倍のクロック動作を行っている。

【0014】デジタルPLL31は、 $n (= 1/N)$ 分周プログラマブルカウンタ311、D-FF312、313、314、インバータ315、アンドゲート316から成る。一方、デジタルPLL41は、 $m (= 1/M)$ 分周プログラマブルカウンタ411、D-FF412、413、414、インバータ415、アンドゲート416から成る。各プログラマブルカウンタ311、411のクロック端子にはシステムクロックSYCLKが入力され、UP(アップ)端子にはD-FF312、412のQ端子出力(位相比較信号)が接続され、DATA(データ)端子には、アンドゲート316、416の出力(受信信号RXDの立ち上がり検出信号)が接続される。これらのUP端子、DATA端子の入力値によって分周比が遷移し、デジタルPLLが追従動作する。このアンドゲート316、416の入力の一方には、D-FF313、413のQ端子出力とD-FF314、414のQ(Qバー)端子出力(負論理出力または反転出力)が接続される。D-FF313、314のクロック端子には n 分周プログラマブルカウンタ311の出力(受信クロック)RXCLK_nが接続され、D-FF312のクロック端子には受信クロックRXCLK_nをインバータ315で反転した信号が接続される。一

方、D-FF413、414のクロック端子には m 分周プログラマブルカウンタ411の出力(受信クロック)RXCLK_mが接続され、D-FF412のクロック端子には受信クロックRXCLK_mをインバータ415で反転した信号が接続される。D-FF313、314とアンドゲート316から成る回路、および、D-FF413、414とアンドゲート416から成る回路は、入力信号の立ち上がり検出回路となっている。

【0015】受信部で受信した信号RXDは、D-FF312、313およびD-FF32のD端子へ接続され、D-FF32のQ端子出力がD-FF412、413およびD-FF42のD端子へ接続される。また、D-FF32のクロック端子にはデジタルPLL31の受信クロックRXCLK_nが、D-FF42のクロック端子にはデジタルPLL41の受信クロックRXCLK_mがそれぞれ接続される。

【0016】次に、図3に上記で使用するプログラマブルカウンタの回路の構成例を示す。本例は、 $1/4$ 分周プログラマブルカウンタとし、分周比が $1/3 \sim 1/5$ の範囲で可変する場合を例としている。本例のプログラマブルカウンタは、4つのD-FF(QRXCLK、Q0、Q1、Q2)と、8つの否定入力端子付のアンドゲート(A1~A8)と、3つのオアゲート(O1~O3)から成る。各アンドゲートの入力にはUP端子、DATA端子、各D-FFの出力が、選択的に接続され、その出力が直接(D-FF Q2の場合)もしくはオアゲートO1~O3を介してD-FFのD端子に入力されている。各D-FFのクロック端子にはシステムクロックSYCLKが入力されており、UP、DATA端子の入力値に従って可変の分周動作を行い、D-FF QRXCLKから受信クロックRXCLKを出力する。

【0017】図4に、上記プログラマブルカウンタの制御フローを示す。図中、S0、S1~S4はステートを表わす。ステートS0、S1では制御入力DATA、UPの値には無関係にカウントが進む。ステートS2、S3、S4では制御入力DATA、UPの値に従ってステートS0に戻り、次のように分周比が選択される。

【0018】(1) DATA=1の時

UP=1で $1/3$ 分周(S2→S0)

UP=0で $1/5$ 分周(S4→S0)

(2) DATA=0の時

UPの値にかかわらず $1/4$ 分周(S3→S0)

となる。このような制御フローを実施するステートマシンのための遷移表を図5に示す。この遷移表では各入力の状態に対応する出力が示されており、これを実現した回路が図3となる。

【0019】上記では $1/4$ 分周($N=4$ の例)のプログラマブルカウンタの例を示したが、図6に $n (= 1/N)$ 分周のプログラマブルカウンタを構成する場合の制御フローを示す。考え方は図4の場合と同様であり、ス

テートS0、S1において制御入力DATA、UPの値に無関係にカウントを進め、ステート S_{n-1} においてDATA=1、UP=1の条件のときステートS0に戻すことにより $1/(N-1)$ 分周とし、ステート S_{n-1} においてUPの値に無関係にDATA=0の条件のときステートS0に戻すことにより $1/N$ 分周とし、ステート S_n においてDATA=1、UP=0の条件でステートS0に戻すことにより $1/(N+1)$ 分周とする。

【0020】以下に、以上のように構成した図2の具体的な実施例の動作および作用を述べる。

【0021】まず、デジタルPLLの動作を図3に示したようなプログラマブルカウンタを図2のデジタルPLL31に用いたと仮定して説明する。図7は、この場合のPLLの動作を示すタイムチャートである。このデジタルPLLでは、受信信号RXDの立ち上がりを検出してDATA信号とし、合わせて受信クロックRXCLKの反転クロックで受信信号RXDをサンプリングする事で位相差比較信号であるUP信号を作り出している。図7のタイムチャートでは、受信クロックRXCLKが 180° 遅れている状態から同期が合い、次に受信クロックRXCLKが進みすぎた場合の動作を示している。受信クロックRXCLKが遅れている場合には、図3のプログラマブルカウンタは分周比 $1/3$ と $1/4$ を交互に選択し、ステートS0～S2またはS0～S3で動作し、最終的に受信クロックRXCLKの立ち上がりが受信信号RXDの中央に来るように制御される。こうして同期された後は概ね分周比 $1/4$ で安定する。次に、受信クロックが進み過ぎると、分周比 $1/5$ （ステートS0～S4で動作）が選択され、同様に同期するように制御される。

【0022】図3に示したようなプログラマブルカウンタを用いたデジタルPLLの場合、受信信号(RXD)に対し何倍のクロックを使用するかで追従性と精度が決まる。図3の例を用いた場合では $1/4$ 分周($N=4$)のデジタルPLLであるため、追従は早いが受信クロックRXCLKは粗くなり、ジッタが大きくなる。クロックの倍数Nの値がこれより大きくなるほど追従は遅くなるが、ジッタは小さくなる。

【0023】そこで、本実施例の具体例では、図2に示したように、受信信号RXDをまず $n(=1/N)$ 分周デジタルPLL31に入力し、受信クロックRXCLK_nを作る。この受信クロックRXCLK_nによって受*

* 信データRXDはD-FF32に入力される。次に、D-FF32の出力を m 分周デジタルPLL41に入力し抽出クロックRXCLK_mを作りD-FF42に入力する。このD-FF42によって、D-FF32で保持した伝送信号を再生し、送信部5から送信側ケーブル6へ送り出す。以上により本実施例では、信号再生において2段のデジタルPLLを通した事になり、この構成でNとMの値を $N < M$ の関係で選択する事で、追従性と受信クロックの精度の両立をはかる事が可能となる。

10 【0024】

【発明の効果】以上の説明で明かなように、本発明の多段中継方式によれば、従来のPLLでは、追従性とクロックのジッタは一義的にしか決められなかったが、本方式を用いる事で追従性と抽出クロックのジッタを別々に制御することが可能となり、多段中継が容易となる。

【図面の簡単な説明】

【図1】本発明の一実施例の基本構成を示す図

【図2】上記実施例の具体的な構成例を示す回路図

20 【図3】本実施例のデジタルPLLで使用するプログラマブルカウンタの構成例を示す回路図

【図4】上記プログラマブルカウンタの制御フロー図

【図5】上記プログラマブルカウンタについての遷移表を示した図

【図6】 n 分周のプログラマブルカウンタを構成する場合の制御フロー図

【図7】上記実施例におけるデジタルPLLの動作を説明するタイムチャート図

【図8】従来例の多段中継方式で用いられている再生中継系の構成図

30 【図9】上記従来例の問題点の説明図

【符号の説明】

1…受信側ケーブル

2…受信部

3…第1の伝送信号再生部

4…第2の伝送信号再生部

5…送信部

6…送信側ケーブル

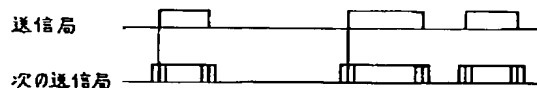
31…デジタルPLL

32…Dタイプフリップフロップ(D-FF)

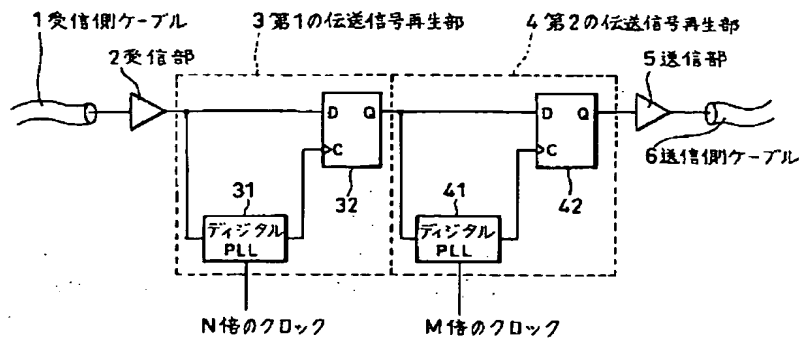
40 41…デジタルPLL

42…Dタイプフリップフロップ(D-FF)

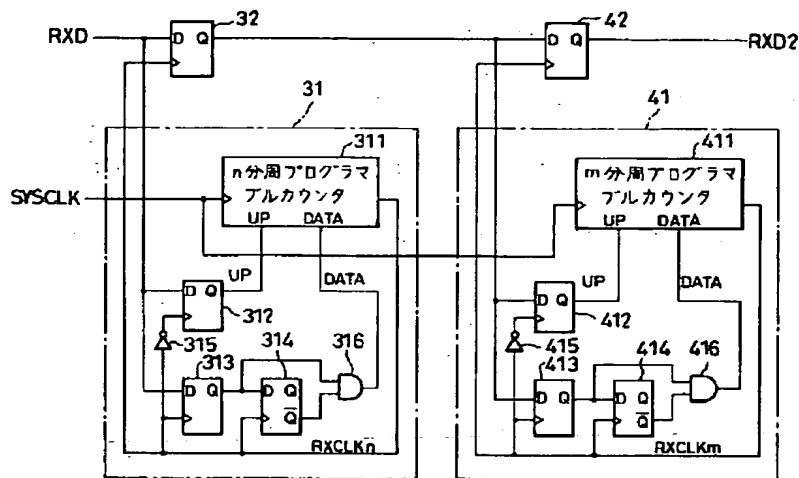
【図9】



【図1】



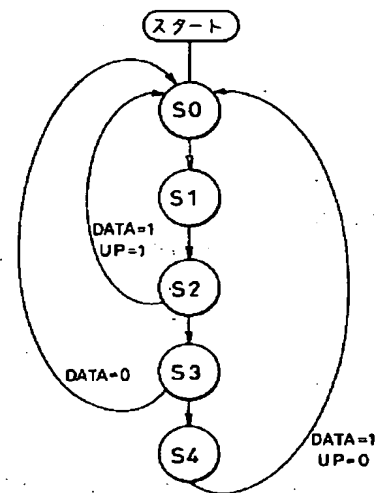
【図2】



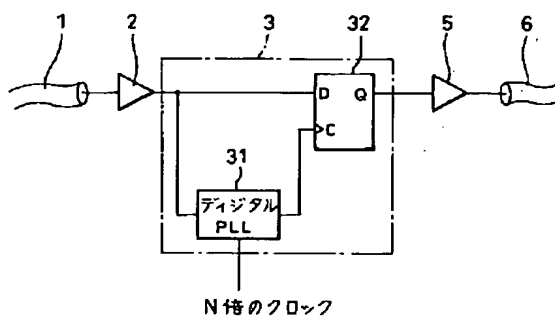
【図5】

		S0	S1	S2	S2	S2	S3	S3	S4
		S1	S2	S0	S3	S3	S0	S4	S0
入 力	UP	*	*	1	*	0	*	0	*
	DATA	*	*	1	0	1	0	1	*
	Q2	0	0	0	0	0	0	0	1
	Q1	0	0	1	1	1	1	1	0
出 力	Q0	0	1	0	0	0	1	1	0
	Q2	0	0	0	0	0	0	1	0
	Q1	0	1	0	1	1	0	0	0
	Q0	1	0	0	1	1	0	0	0
RXCLK		1	1	0	0	0	0	0	0

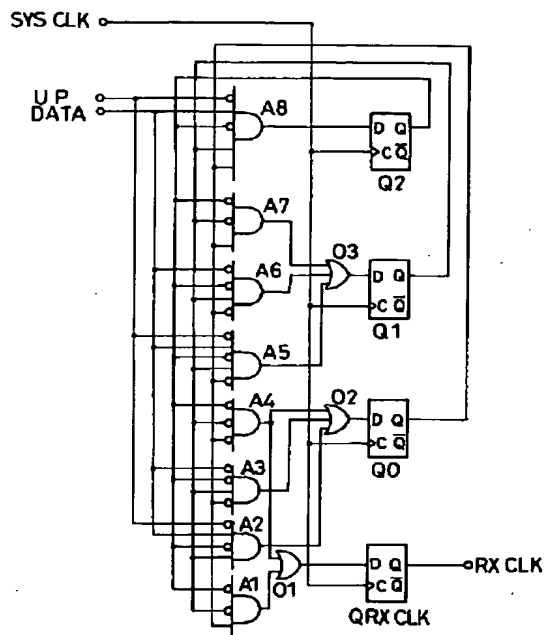
【図4】



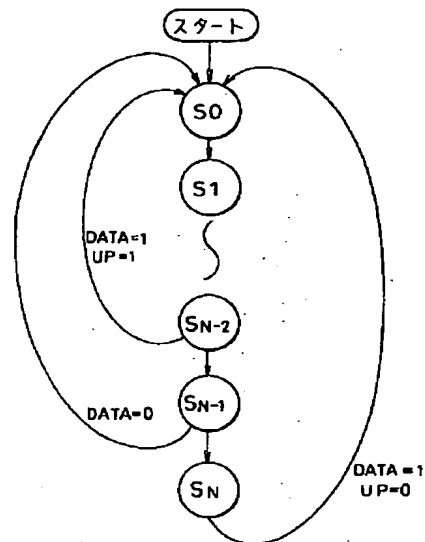
【図8】



【図3】



【図6】



【図7】

